

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/014360

International filing date: 29 July 2005 (29.07.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-223887
Filing date: 30 July 2004 (30.07.2004)

Date of receipt at the International Bureau: 01 September 2005 (01.09.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 7 月 3 0 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 2 2 3 8 8 7

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

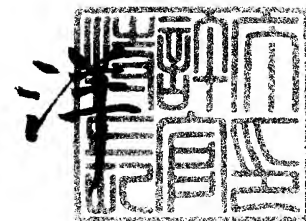
J P 2 0 0 4 - 2 2 3 8 8 7

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 8 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	2906267701
【提出日】	平成16年 7月30日
【あて先】	特許庁長官殿
【国際特許分類】	H04Q 7/24
【発明者】	
【住所又は居所】	神奈川県横浜市港北区綱島東四丁目3番1号 パナソニックモバイルコミュニケーションズ株式会社内
【氏名】	板原 弘
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社
【代理人】	
【識別番号】	100105647
【弁理士】	
【氏名又は名称】	小栗 昌平
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100105474
【弁理士】	
【氏名又は名称】	本多 弘徳
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100108589
【弁理士】	
【氏名又は名称】	市川 利光
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100115107
【弁理士】	
【氏名又は名称】	高松 猛
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100090343
【弁理士】	
【氏名又は名称】	濱田 百合子
【電話番号】	03-5561-3990
【手数料の表示】	
【予納台帳番号】	092740
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0002926

【書類名】 特許請求の範囲

【請求項 1】

電圧制御発振部と、受信信号と前記電圧制御発振部からの出力信号との位相を比較して位相差を検出する位相比較を行い、前記検出された位相差に基づいて前記電圧制御発振部に入力される制御電圧信号を生成する制御電圧生成部と、を有し、前記電圧制御発振部の出力信号を第 1 クロック信号として出力する PLL 部と、

基準周波数信号発生部と、前記基準周波数信号発生部から前記第 1 クロック信号と同じ周波数の信号を生成する第 2 クロック信号発生部と、前記第 1 クロック信号と前記第 2 のクロック信号との所定時間後の周波数差異に基づいて、前記第 2 クロック信号発生部の周波数を変更するための周波数制御信号を生成して前記第 2 クロック信号発生部に出力する周波数制御信号生成部と、を有する制御ループ部と、
を備える同期追従装置。

【請求項 2】

請求項 1 記載の同期追従装置であって、

前記周波数制御信号生成部は、第 1 クロック信号の周波数と第 2 クロック信号の周波数との間に所定値以上の誤差が検出されたとき、最も近い過去に周波数同調が成功した周波数制御信号を出力し、前記第 2 クロック信号発生部は、前記周波数制御信号に基づいて生成した第 2 クロック信号を無線基準信号として出力する同期追従装置。

【書類名】 明細書

【発明の名称】 同期追従装置

【技術分野】

【0001】

本発明は、同期追従装置に関する。

【背景技術】

【0002】

WCDMA移動体通信システム等の基地局装置の内部構成を、ベースバンド処理を行う無線制御部（REC：Radio Equipment Control）と、無線信号処理を行う無線部（RE：Radio Equipment）とに分けてこれらをディジタル伝送路で接続したときにおける、無線制御部と無線部との間のインタフェースの規格として、CPRI（Common Public Radio Interface）（登録商標）がある（非特許文献1参照）。

【0003】

図7は、無線制御部と無線部との関係を示す図である。基地局装置200は、無線制御部201と、無線部202を有して構成され、この無線制御部201と無線部202との間は、電気信号または光信号を伝送するディジタル伝送路203によって接続されている。

【0004】

無線制御部201は、無線ネットワーク制御装置（RNC：Radio Network Control）210に接続され、ベースバンド処理を行う。また、無線部202は、無線周波数帯における処理を行い、端末装置220との無線通信を行うものである。

【0005】

このCPRI（登録商標）の規格では、このディジタル伝送路203におけるラインレートが定められており、そのラインレートの基準周波数に無線部202の基準周波数を同期させる必要がある。CPRIの規格では32個の基本的な要求項目があり、そのうち、この同期性能の要求項目として、次の3つがある。

【0006】

1つ目は無線部における300Hzの f_c （ライン選択ロック周波数）同期レンジの確保（要求番号R-17）、2つ目は無線部におけるジッタ安定性（同期後のREC-RE間同期制度）を $\pm 0.002\text{ ppm}$ で確保（R-18）、そして3つ目は10秒以内のラインクロックOFF-ON過渡状態での同期確立（R-30）という要求である。

【0007】

しかしながら、これら3つの要求は、通常のPLL回路を用いて同期ループを設計する場合、それぞれ相反した要求である。例えば、R-17で要求されるロックレンジを確保するようにPLL回路を設計すると、R-18で要求される同期精度を確保することができなくなってしまう。さらに、R-18で要求される同期精度を確保するためには、R-30で要求される時間での同期確立は非常に難しい。したがって、同時にこれらの要求を満たすのは非常に困難であるといった事情がある。

【非特許文献1】「CPRI仕様書（CPRI Specification）」、第1版、2003年9月30日

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、上記の事情に鑑みてなされたものであって、ロックレンジを確保しつつ、同期精度が高く、かつ一定時間以内の同期確立時間を実現可能な同期追従装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の同期追従装置は、電圧制御発振部と、受信信号と前記電圧制御発振部からの出力信号との位相を比較して位相差を検出する位相比較を行い、前記検出された位相差に基

づいて前記電圧制御発振部に入力される制御電圧信号を生成する制御電圧生成部と、を有し、前記電圧制御発振部の出力信号を第1クロック信号として出力するPLL部と、基準周波数信号発生部と、前記基準周波数信号発生部から前記第1クロック信号と同じ周波数の信号を生成する第2クロック信号発生部と、前記第1クロック信号と前記第2のクロック信号との所定時間後の周波数差異に基づいて、前記第2クロック信号発生部の周波数を変更するための周波数制御信号を生成して前記第2クロック信号発生部に出力する周波数制御信号生成部と、を有する制御ループ部と、を備える。

【0010】

この構成により、ロックレンジを確保するPLL部と、高い同期精度を確保すると共に短い同期確立時間を実現するための制御ループ部により、ロックレンジを確保しつつ、同期精度が高く、かつ一定時間以内の同期確立時間を実現可能とすることができる。

【0011】

また、前記周波数制御信号生成部は、第1クロック信号の周波数と第2クロック信号の周波数との間に所定値以上の誤差が検出されたとき、最も近い過去に周波数同調が成功した周波数制御信号を出力し、前記第2クロック信号発生部は、前記周波数制御信号に基づいて生成した第2クロック信号を無線基準信号として出力する。

【0012】

この構成により、なんらかの理由で受信信号に障害が生じた場合においても、基準信号発生部の基準周波数確度の範囲内で安定した無線基準信号を出力することができる。

【発明の効果】

【0013】

本発明によれば、ロックレンジを確保しつつ、同期精度が高く、かつ一定時間以内の同期確立時間を実現可能な同期追従装置を提供することができる。

【発明を実施するための最良の形態】

【0014】

本発明の実施形態に先立ち、CPR I（登録商標）インタフェースの同期追従をPLLを用いた同期ループを実現する場合について検討する。ところで、CPR I（登録商標）では、背景技術で説明した無線制御部と無線部とを接続する伝送路のラインレートとして3種類規定されている。以下の説明では、デジタル伝送路のラインレートが、規定されたラインレートのうちの一つである、1228.8 [Mbps] の場合について説明する。

【0015】

図6は、CPR I（登録商標）インタフェースに、PLLを用いた同期ループを用いた場合の構成例を示す図である。図6に示すように、このインタフェースは、デジタル伝送路220に接続されたシリアルライザ／デシリアルライザ（Serializer/Deserializer：以下、SERDES）10と、PLLベースのジッタリムーバ20と、電圧制御水晶発振器（以下、VCO）30とを有するSERDES同期ループと、VCO30の出力するクロック信号をラインクロック入力としたインタフェース部140とを備える。

【0016】

SERDES110は、伝送路220を介して受信したシリアル信号をパラレル信号に変換するシリアルパラレル変換して、受信データをインタフェース部140に送出するとともに、受信クロック信号（RXCLK）を再生して出力する。ジッタリムーバ20は、PLLベースのものであり、SERDES10から出力された受信クロック信号を基準信号（REF）とし、VCO30から入力される信号（VCO）との位相比較を行って電圧信号に変換し、VCO30の制御電圧（CP）として出力する。このように、このジッタリムーバ20およびVCO30で、PLLを構成する。

【0017】

そして、VCO30からの出力信号は、SERDES10の送信クロック（TXCLK）として入力されるとともに、インタフェース部140のラインクロック（LINECLK）として入力される。

【0018】

ここで、ジッタリムバ20およびVCO30で構成されるPLLのロックレンジは、要求項目R-17に従い、300Hz（0.1ppm）に設定されなければならない。しかしながら、このロックレンジを網羅するためには、PLLのループ帯域幅、ループ利得をR-18にて要求された±0.002ppmの同期精度を確保するように調整することはできない。逆に、R-18にて要求された同期精度を確保するように調整した場合、R-17に要求されるロックレンジを網羅することができない。

【0019】

さらに、PLLの出力周波数であるVCOの出力信号は、インタフェース部のリンククロックとして入力されるが、CPRI（登録商標）では、このリンククロックは無線信号処理の基準信号としても使用される。したがって、優れたCN特性も要求される。

【0020】

R-30の規定は、R-18で要求される同期精度を確保するためには、その実現が難しくなる。同期精度を確保するために調整されたPLLは、過渡レスポンスが緩慢となるため、R-18で要求される±0.002ppmの精度を確保する場合、R-30で要求される10秒以内のロックアップは現実的に不可能といえる。

【0021】

以上の考察を鑑みて、本発明の実施形態では、ロックレンジを確保するPLLに加え、高い同期精度を確保すると共に短い同期確立時間を実現するための制御ループを設けることで、例えばCPRI（登録商標）の要求を満足する同期追従装置を実現する。

【0022】

以下、本発明の実施形態について図面を参照して説明する。図1は、本発明の実施形態の同期追従装置の概略構成を示す図である。図6と重複する部分については同一の符号を付す。

【0023】

図1に示すように、本実施形態の同期追従装置は、ディジタル伝送路220に接続されるSERDES10と、ジッタリムバ20と、VCO30と、インタフェース部40と、ダイレクトディジタルシンセサイザ50と、温度制御型水晶発振器（以下、OCO60）と、を備える。

【0024】

ジッタリムバ20およびVCO30は、図6で説明したように、SERDES10から出力される受信クロック信号を基準信号としたPLLを構成する。ここで、このジッタリムバ20およびVCO30は、R-17で要求されるロックレンジ300Hzを満たすように設計する。さらに、要求項目R-27、R-28では、データ伝送におけるビットエラーレート（BER）が 10^{-12} 以下であることを要求しており、この要求も満たすように設計する。これにより、ディジタル伝送ラインの伝送品質を確保する。

【0025】

DDS50は、OCO60からの基準信号から、ディジタル伝送路から再生され、PLLの出力であるリンククロック信号と同じ周波数のローカルクロック信号（LOCALCLK）を作成し、インタフェース部40の演算回路41に入力される。演算回路41は、入力されたリンククロック信号とローカルクロック信号との間に発生する所定時間後の周波数差異に基づいて周波数制御信号（FSW）を生成し、DDS50に出力する。

【0026】

DDS50は、演算部41からの周波数制御信号に基づいてローカルクロック信号を補正する。このようにして、リンククロック信号、周波数制御信号、およびローカルクロック信号による制御ループにより、同期精度を確保しつつ、同期確立時間の要求を満たす。

【0027】

以下、この制御ループについて詳述する。図2は、演算部の概略構成を含む制御ループを示す図である。なお、通常リンククロック信号は、ラインレート（本実施形態では1.2288GHz）の $1/16 \sim 1/20$ 分程度、すなわち、76.8MHz \sim 61.44

MHzが標準値である。以下、本実施形態では、ラインクロック信号の周波数が61.44MHzの場合を例にとって説明する。

【0028】

図2に示すように、演算部41は、第1カウンタ411と、第2カウンタ412と、加算器413と、FSW演算器414とを有する。

【0029】

第1カウンタ411は、入力されたラインクロック信号の周波数に同期して動作する。

また、第2カウンタ412は、DDS50からのローカルクロック信号の周波数に同期して動作する。そして、第1カウンタ411と、第2カウンタの所定時間後の差異は、2つのクロック信号の位相差異Mとして観測される。そして、FSW演算器414は、位相差異Mに基づいて、DDSの周波数制御信号を生成する。

【0030】

例えば、Z秒後の位相差異として、カウンタ位相差異Mが検出された場合、そのカウンタ位相差異Mは、式(1)により与えられる。

$$M = Y \cdot Z - X \cdot Z \quad \cdots (1)$$

【0031】

ここで、Yはローカルクロック信号の周波数【Hz】、Xはラインクロック信号の周波数【Hz】、Zはカウンタ観測時間【秒】である。

【0032】

なお、ラインクロック信号は無線制御部201からの送信データに同期しているので、その基準精度は、例えば3GPP標準に従った場合、±0.05ppmとなる。ローカルクロック信号は、OCXO60からの基準精度（例えば、±0.1ppm）に同期するので、±0.1ppmの精度となる。

【0033】

上記式(1)より、ローカルクロック信号とラインクロック信号との周波数差異(Y-X)は、式(2)により与えられる。

$$(Y-X) = M/Z \quad [\text{Hz}] \quad \cdots (2)$$

【0034】

そして、ラインクロック信号の周波数Xが61.44【MHz】と仮定すると、同調周波数Yは式(3)で与えられる。

$$Y = 61.44 \times 10^6 + M/Z \quad [\text{Hz}] \quad \cdots (3)$$

【0035】

そして、この同調周波数Yに基づいてDDS50の周波数を変更するように制御する。

この周波数制御信号である周波数同調ワード(FSW)は、式(4)に示すように、DDS50の最小分解能周波数Δfで同調周波数を割った値となる。

$$\text{FSW} = \text{同調周波数} Y / \Delta f \quad \cdots (4)$$

【0036】

通常、DDS50は、サンプリングレートの2のべき乗(R：通常32程度)分の1の周波数分解能を持つ。本実施形態では、OCXO60の周波数を10MHzとし、DDSのサンプリングレートは、OCXO60の20倍の200MHzとする。ここで、R=32とすれば、FSW1単位あたりの周波数補正分解能は、 $200 \times 10^6 / 2^{32} = 0.046$ 【Hz】となる。

【0037】

この周波数補正分解能は、比較周波数61.44MHzに対して、0.00075ppmの精度を確保する。ここで、0.002ppmの同期精度を達成するには、61.44MHzの比較周波数を用いる場合、理論的には、カウント観測時間を8.2秒要することになる。

【0038】

図3は同調収束特性を示す図である。図3において、曲線301は、ラインクロック信号(+0.005ppm)、ローカルクロック信号(-0.1ppm)からのラインクロ

ック信号への同期収束特性、曲線302は、ラインクロック信号（ -0.005 ppm ）、ローカルクロック信号（ $+0.1\text{ ppm}$ ）からのラインクロック信号への同期収束特性のシミュレーション結果をそれぞれ示す。図3に示すように、ほぼ理論値8.2秒以降の観測時間において、 0.002 ppm の同期精度を達成していることが分かる。このようにして、R-18によって要求されている 0.002 ppm の同期精度を、R-30によって要求されている10秒以内の同期確立を満たすことが可能となる。

【0039】

このようにして、ロックレンジを確保するPLLに加え、高い同期精度を確保すると共に短い同期確立時間を実現するための制御ループを設けることで、ロックレンジを確保しつつ、同期精度が高く、かつ一定時間以内の同期確立時間を実現可能なことが可能となる。

【0040】

次に、デジタル伝送路の障害等による、ラインクロック信号の遮断、外乱、瞬停等の制御について説明する。図4は、ラインクロック障害時のFSW演算器の動作を示す図である。

【0041】

図4に示すように、FSW演算器414は、まず位相差異Mを取得する（ステップS201）。そして、取得した位相差異Mから、同調周波数とラインクロック周波数とを比較する（ステップS202）。これらの周波数間の誤差が所定値（本実施形態では、 0.15 ppm ）以内であれば、FSWをFSW'とし（ステップS203）、このときのFSWを設定する（ステップS204）。なお、FSW'は、最も近い過去に周波数同調が成功したFSWである。なお、この誤差の所定値としての 0.15 ppm は、例えば、OCXOの最大差異（ $\pm 0.1\text{ ppm}$ ）と無線制御部（RES）の基準周波数（ $\pm 0.05\text{ ppm}$ ）の周波数精度差異の最大誤差である。

【0042】

そして、これらの周波数間の誤差が所定値（本実施形態では、 0.15 ppm ）より大きければ、FSWとして、最も近い過去に同調したFSWであるFSW'を代入し（S404）、それをFSWとして設定する（ステップS205）。

【0043】

すなわち、この例では、同調周波数とラインクロック周波数との差異からラインクロックに障害が発生したか否かを判断し、障害が発生したと判断された場合に、最も近い過去に周波数同調が成功した周波数制御信号を用いてDDSの周波数を制御する。

【0044】

そして、DDS50は、OCXO60を基準周波数としているため、無線処理の基準信号の安定度として、OCXOの安定度（例えば、 $\pm 0.1\text{ ppm}$ ）内に確保することができる。したがって、デジタル伝送路の断線等、何らかの理由でラインクロックに障害が生じた場合でも、無線部202の出力無線周波数の安定性を確保することができる。

【0045】

また、RF基準信号のCN特性も、ラインクロック信号の品質とは無関係に、OCXO60とDDS50により高く確保できるため、EVM（Error Vector Magnitude）やPCDE（Peak Code Domain Error）等をラインクロック信号の伝送品質から独立させることにより、安定させることが可能となる。

【0046】

このような構成により、要求された同期性能を実現するだけでなく、OCXOの基準周波数確度の範囲内でRF基準信号の絶対安定および良好なCN特性を得ることができ、無線部（RE）の無線性能を向上させることができる。

【0047】

図5は、本発明の実施形態の同期追従装置の別の例を示す図である。この例では、SERDES70として、PLL機能を有して十分なロック性能（例えば、 $\pm 10\text{ ppm}$ 程度）を有するLSIを用いた場合を示している。このようなSERDES70を用いることに

より、図 1 に示されるジッタリムーバを取り除くことができ、同期追従装置の構成を簡易にすることができる。

【産業上の利用可能性】

【 0 0 4 8 】

本発明の同期追従装置は、ロックレンジを確保しつつ、同期精度が高く、かつ一定時間以内の同期確立時間を実現可能な効果を有し、C P R I（登録商標）における基地局装置内の無線部等に有用である。

【図面の簡単な説明】

【 0 0 4 9 】

【図 1】 本発明の実施形態の同期追従装置の概略構成を示す図

【図 2】 演算部の概略構成を含む制御ループを示す図

【図 3】 同調収束特性を示す図

【図 4】 ラインクロック障害時の F S W 演算器の動作を示す図

【図 5】 本発明の実施形態の同期追従装置の別の例を示す図

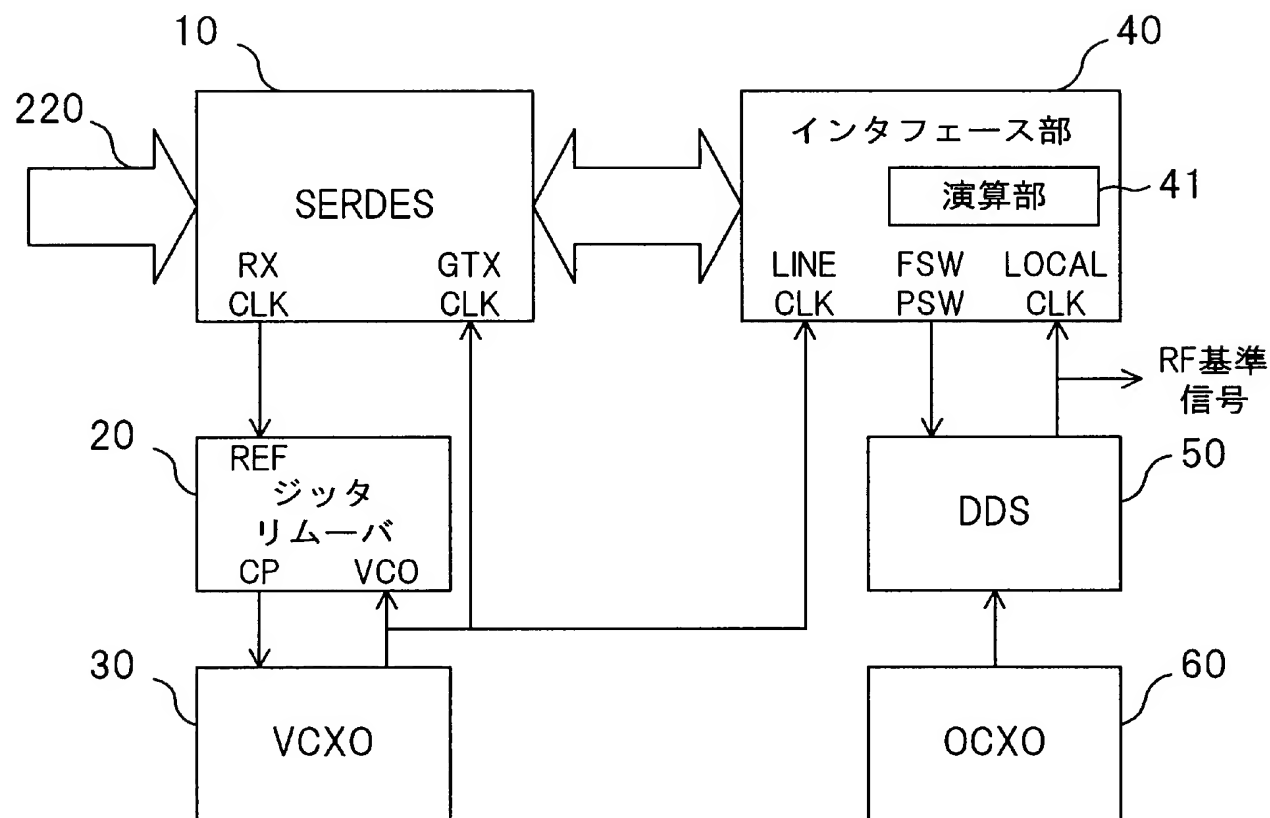
【図 6】 P L L を用いた同期ループを用いた場合の構成例を示す図

【図 7】 無線制御部と無線部との関係を示す図

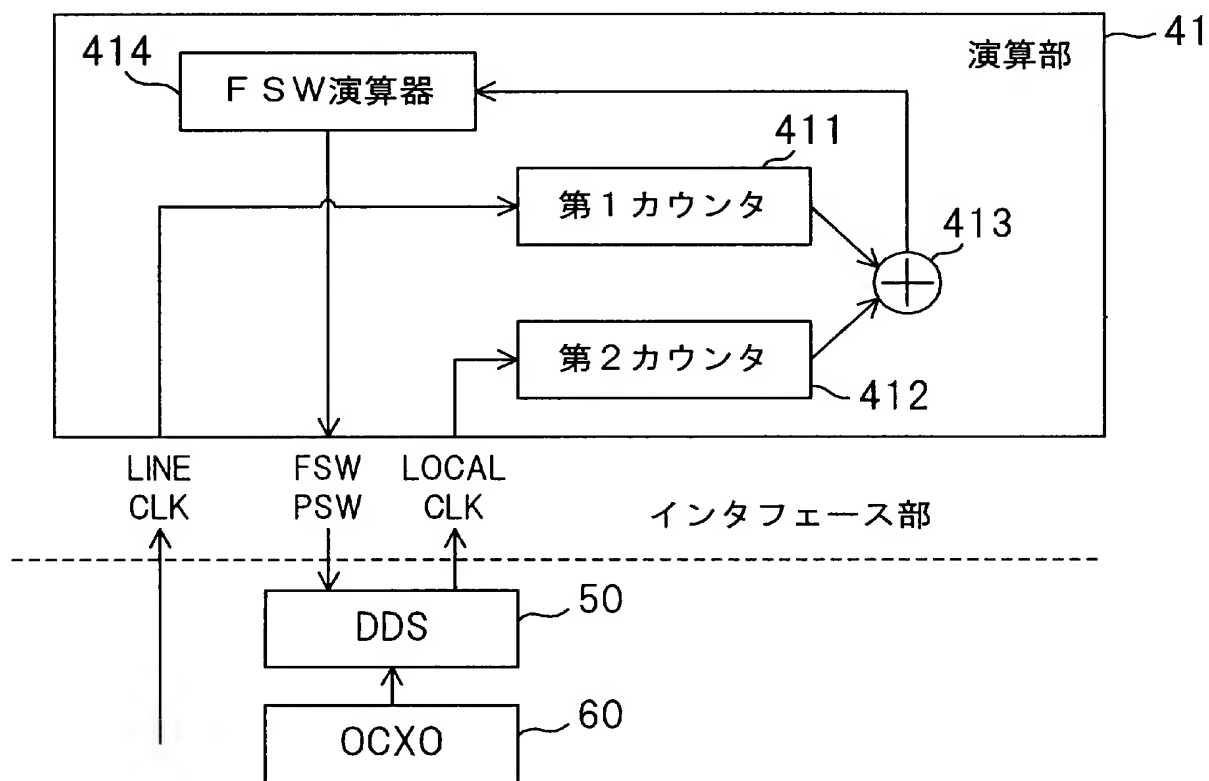
【符号の説明】

【 0 0 5 0 】

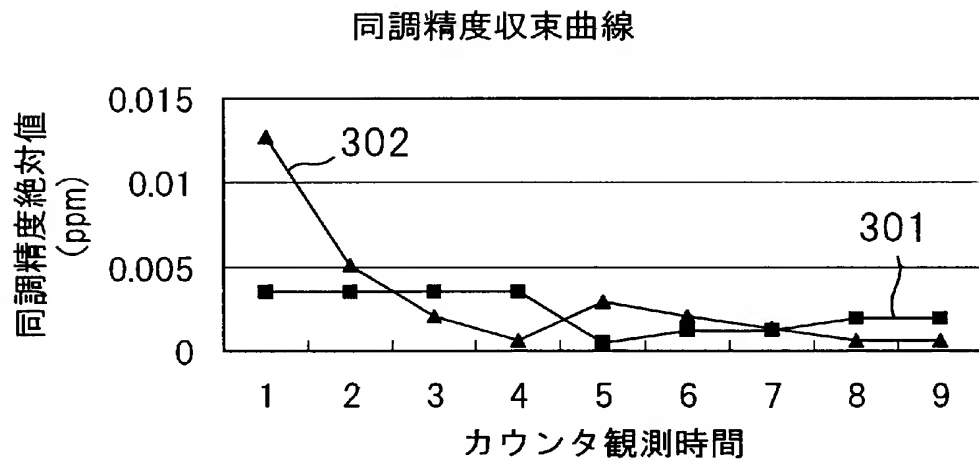
1 0、7 0	S E R D E S
2 0	ジッタリムーバ
3 0	V C X O
4 0	インタフェース部
4 1	演算部
5 0	D D S
6 0	O C X O
4 1 1、4 1 2	カウンタ
4 1 3	加算器
4 1 4	F S W 演算器
2 0 0	基地局装置
2 0 1	無線制御部
2 0 2	無線部
2 0 3	デジタル伝送路



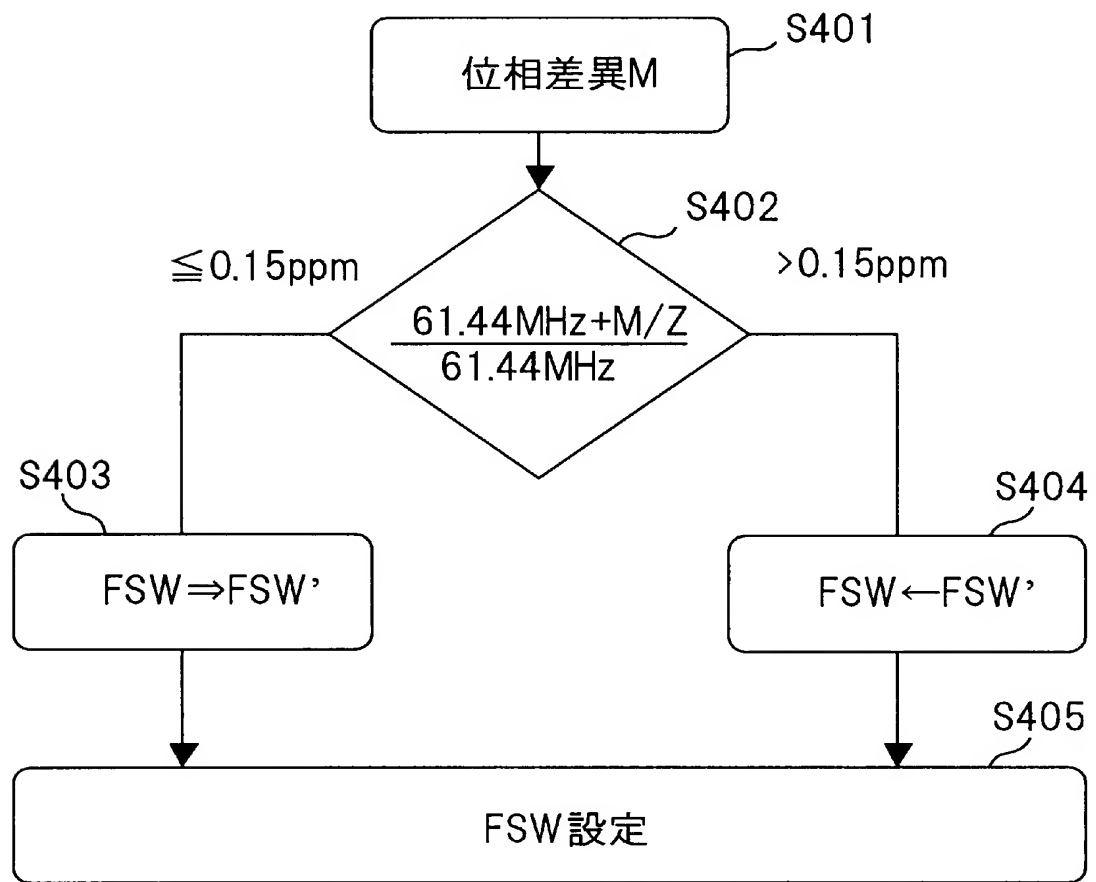
【図 2】



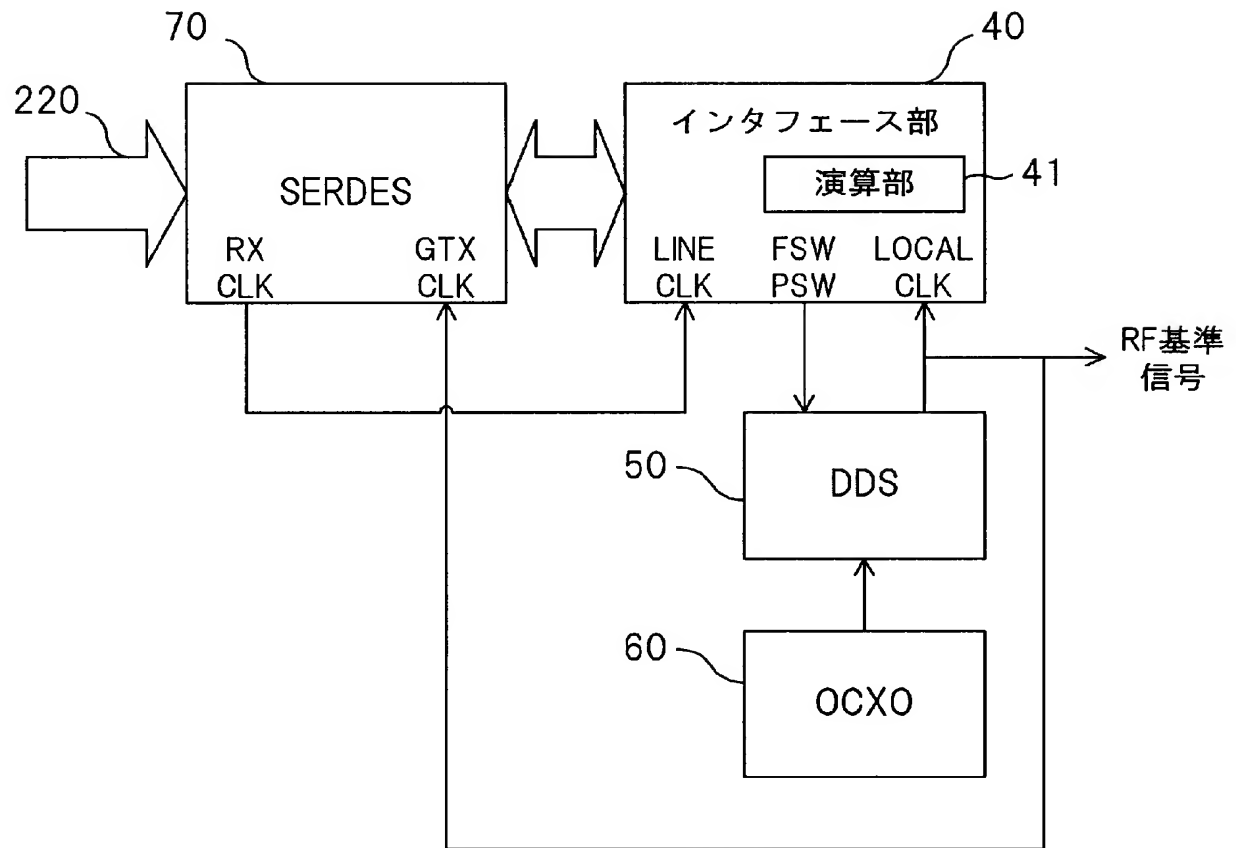
【図 3】



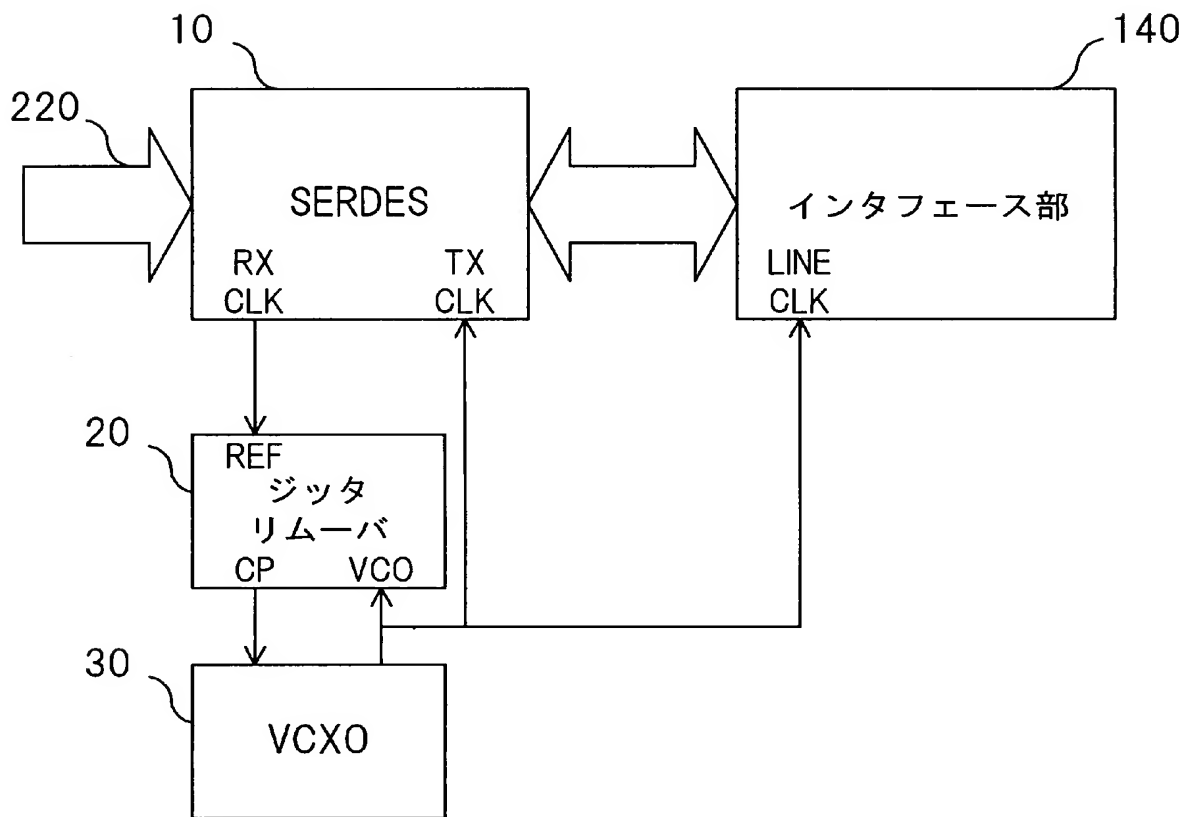
【図 4】



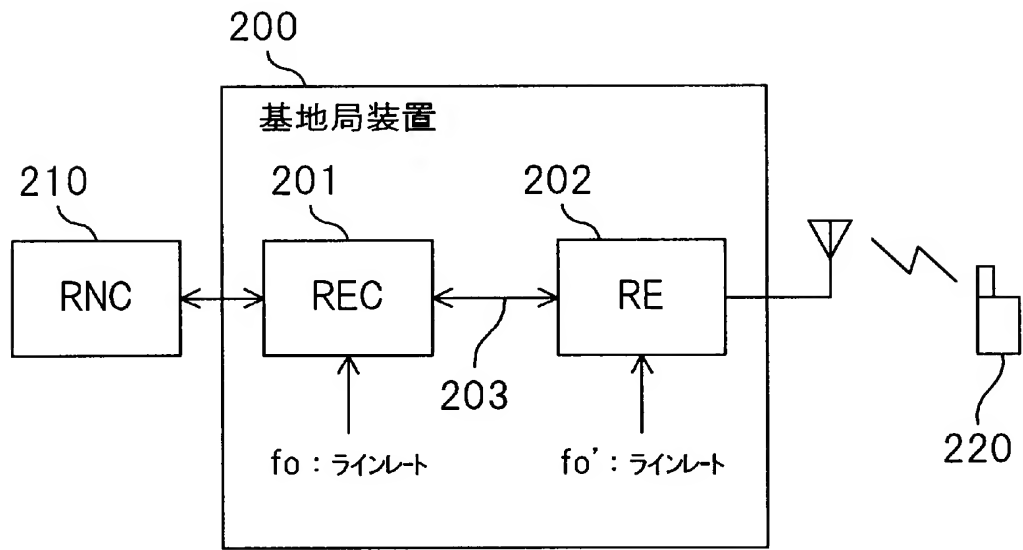
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 ロックレンジを確保しつつ、同期精度が高く、かつ一定時間以内の同期確立時間を実現可能な同期追従装置を提供すること。

【解決手段】 電圧制御発振部50と、SERDES10によって再生された受信クロック信号と電圧制御発振部50からの出力信号との位相を比較して位相差を検出する位相比較を行い、前記検出された位相差に基づいて前記電圧制御発振部に入力される制御電圧信号を生成するジッタリムーバ20と、を有するPLLによりラインクロック信号を生成し、ロックレンジを確保する。また、OCXO60と、OCXO60からラインクロック信号と同じ周波数の信号を生成するDDS50と、ラインクロック信号とローカルクロック信号との所定時間後の周波数差異に基づいて、DDS50の周波数を変更するための周波数制御信号を演算する演算部41と、を有する制御ループ部により、同期精度および一定時間内の同期確立時間を確保する。

【選択図】 図1

出願人履歴

0 0 0 0 0 5 8 2 1

19900828

新規登録

大阪府門真市大字門真 1 0 0 6 番地

松下電器産業株式会社